

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-015616

(43)Date of publication of application : 19.01.2001

(51)Int.Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

H01L 27/115

(21)Application number : 11-184314

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 29.06.1999

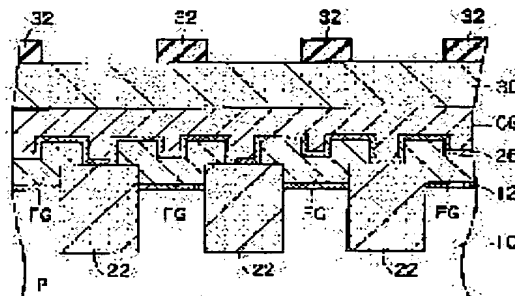
(72)Inventor : ARAKI HITOSHI

## (54) NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress erroneous writing in a memory transistor of a non-volatile semiconductor memory device.

SOLUTION: F(fluorine) is added to an oxide film 22 (silicon oxide film) for forming a isolation region as an impurity. As described above, by adding the impurity, a relative permittivity of the oxide film 22 can be made to be lower than that of the silicon oxide film without adding any impurity. Thus, the erroneous writing due to interference between adjacent memory transistors can be suppressed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-15616  
(P2001-15616A)

(43) 公開日 平成13年1月19日 (2001.1.19)

| (51) Int.Cl. <sup>7</sup> | 識別記号    | F I     | テ-マコード* (参考) |           |
|---------------------------|---------|---------|--------------|-----------|
| H 0 1 L                   | 21/8247 | H 0 1 L | 29/78        | 3 7 1     |
|                           | 29/788  |         | 27/10        | 4 3 4     |
|                           | 29/792  |         |              | 5 F 0 0 1 |
|                           | 27/115  |         |              | 5 F 0 8 3 |

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21) 出願番号 特願平11-184314

(22) 出願日 平成11年6月29日 (1999.6.29)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 荒 木 仁

三重県四日市市山之一色町800 株式会社

東芝四日市工場内

(74) 代理人 100064285

弁理士 佐藤 一雄 (外3名)

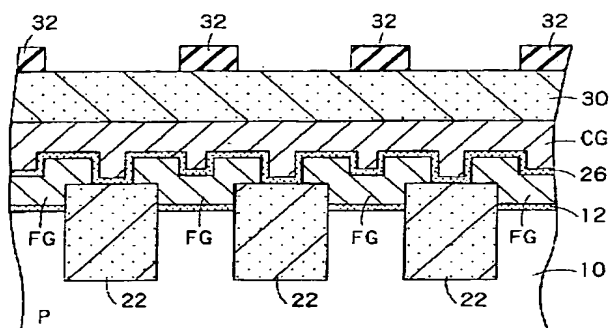
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置及びその製造方法

(57) 【要約】

【課題】 不揮発性半導体記憶装置のメモリトランジスタに誤書き込みが生ずるのを抑制する。

【解決手段】 素子分離領域を形成する酸化膜（シリコン酸化膜）22に不純物としてF（フッ素）を添加する。このように不純物を添加することにより酸化膜22の比誘電率を、何の不純物を添加しないシリコン酸化膜よりも小さくすることができる。このため、隣接するメモリトランジスタ間の干渉により生ずる誤書き込みを抑制することができる。



1

## 【特許請求の範囲】

【請求項 1】半導体基板と、  
シリコン酸化膜より比誘電率の小さい絶縁膜を少なくとも一部に用いて、前記半導体基板に形成された複数の素子分離領域と、  
前記素子分離領域に挟まれた半導体基板上に形成されたメモリトランジスタであって、電荷を蓄積するための浮遊ゲートと前記浮遊ゲート上に形成された制御ゲートとを有するメモリトランジスタと、  
を備えることを特徴とする不揮発性半導体記憶装置。

【請求項 2】前記素子分離領域を形成する前記絶縁膜の内部には空間が形成されており、前記絶縁膜は、この空間を形成することにより、シリコン酸化膜より比誘電率を小さくしていることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】前記素子分離領域を形成する前記絶縁膜は、シリコン酸化膜に不純物を添加することにより、シリコン酸化膜より比誘電率を小さくしていることを特徴とする請求項 1 又は請求項 2 に記載の不揮発性半導体記憶装置。

【請求項 4】前記不純物はフッ素であることを特徴とする請求項 3 に記載の不揮発性半導体記憶装置。

【請求項 5】半導体基板における素子分離領域を形成する予定領域に溝を形成する、溝形成工程と、  
前記溝の少なくとも一部にシリコン酸化膜より比誘電率の小さい絶縁膜を埋め込む、絶縁膜埋込工程と、  
前記素子分離領域に挟まれた半導体基板上に、電荷を蓄積するための浮遊ゲートと前記浮遊ゲート上に形成された制御ゲートとを有するメモリトランジスタを形成する、メモリトランジスタ形成工程と、  
を備えることを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 6】前記絶縁膜埋込工程では、前記溝に埋め込む前記絶縁膜の内部に空間を形成し、この空間を形成することにより、前記絶縁膜の比誘電率をシリコン酸化膜より小さくしていることを特徴とする請求項 5 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 7】前記絶縁膜埋込工程では、不純物を添加したシリコン酸化膜を前記絶縁膜として前記溝に埋め込むことにより、前記絶縁膜の比誘電率をシリコン酸化膜より小さくしていることを特徴とする請求項 5 又は請求項 6 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 8】前記不純物はフッ素であることを特徴とする請求項 7 に記載の不揮発性半導体記憶装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、電氣的に書き換え可能な不揮発性半導体記憶装置及びその製造方法に関し、特に、メモリセル間の干渉により生ずる誤書き込み

2

の抑制を図った不揮発性半導体記憶装置及びその製造方法に関する。

## 【0002】

【従来の技術】近年、チャネル電位を利用して書き込みと書き込み禁止を制御する不揮発性半導体記憶装置の微細化が進んでいる。このように不揮発性半導体記憶装置の微細化が進むと素子分離領域を挟んだメモリセル間の干渉による誤書き込みが問題になってくる。以下、メモリセル間の干渉により、NAND型FlashEEPROMを例に、不揮発性半導体記憶装置で誤書き込みが生じる理由を詳細に説明する。

【0003】NAND型FlashEEPROMは、例えば”A 35ns Cycle Time 3.3V Only 32Mb NAND Flash EEPROM” (IEEE J. Solid-state Circuits, p. 1157-116, 4, Vol. 30, No. 11, Nov. 1995) に述べられている。

【0004】図 14 は、この文献で述べられている NAND型FlashEEPROMである不揮発性半導体記憶装置におけるビット線に対して平行な断面の構造を示す図であり、図 15 における A-A 線断面を示す図である。図 15 は、その不揮発性半導体記憶装置における制御ゲートに対して平行な断面の構造を示す図であり、図 14 における B-B 線断面を示す図である。図 16 は、図 14 の等価回路を示す図であり、図 17 は、メモリトランジスタ部分の等価回路を示す図である。

【0005】図 14 に示すように、不揮発性半導体記憶装置は、半導体基板 100 上に直列的に接続された 16 個のメモリトランジスタ MT1~MT16 を備えている。メモリトランジスタ MT1~MT16 は、それぞれ、浮遊ゲート FG と制御ゲート CG とを備えている。これらメモリトランジスタ MT1~MT16 で NAND 型メモリセル 120 を構成している。NAND 型メモリセル 120 のビット線 110 コンタクト側には、選択トランジスタ ST1 が設けられており、NAND 型メモリセル 120 のソース線 112 側には、選択トランジスタ ST2 が設けられている。

【0006】図 15 に示すように、各 NAND 型メモリセル 120 の間には、素子分離領域 130 が設けられている。この素子分離領域 130 により、各 NAND 型メモリセル 120 間を電氣的に分離している。

【0007】次に、この不揮発性半導体記憶装置の書き込み動作を説明する。つまり、不揮発性半導体記憶装置における”0”書き込みと、”1”書き込みとを説明する。この従来技術における不揮発性半導体記憶装置では、Self-boost 方式の書き込み方式を採用している。

【0008】ここでメモリトランジスタの”0”状態とはメモリトランジスタのしきい値電圧  $V_{th}$  が  $0V < V_{th} < V_{cc}$  (又は  $V_{read}$ ) の状態と定義し、”1”状態とは  $V_{th} < 0V$  と定義しておく。

【0009】図 18 は、図 14 及び図 15 に示した不揮

3

発性半導体記憶装置における動作時の各部の電位を表にして示した図である。この図18において、 $V_{ppe}$ は消去電位を示しており、 $V_{ppw}$ は書き込み電位を示しており、 $V_M$ 及び $V_{pass}$ は中間電位 ( $V_{cc} < V_M < V_{ppw}$ ,  $V_{cc} < V_{pass} < V_{ppw}$ ) を示しており、 $V_{bitw}$ は書き込み時のビット線110の電位を示しており、 $V_{bitr}$ は読み出し時のビット線電位を示しており、 $V_{read}$ は読み出し時の制御ゲート電位を示しており、 $V_{sub}$ は書き込み時の基板電位を示している。

【0010】まず、図16及び図18に示すように、NAND型メモリセル120を構成するメモリトランジスタMT1~MT16を一括して消去する。すなわち、ビット線110と選択トランジスタST1、ST2とソース線112とウェルとに消去電位 $V_{ppe}$ を印加し、メモリトランジスタMT1~MT16の制御ゲートCGに0Vを印加する。このようにして消去されたメモリトランジスタMT1~MT16はすべて"1"の状態となる。

【0011】このように一括した消去を行った後に"0"書き込みを行う場合、図18に示すように、ビット線110の電位を0Vにし、選択トランジスタST1の制御ゲートに電源電位 $V_{cc}$ 又は中間電位 $V_M$ を印加し、書き込み禁止のメモリトランジスタ(例えばMT1~MT15)の制御ゲートCGに中間電位 $V_{pass}$ を印加し、選択トランジスタST2の制御ゲートとソース線112とウェルに0Vを印加する。

【0012】このような電位を各電極に与えると、選択トランジスタST1及びメモリトランジスタMT1~MT15がオン状態であるため、書き込みをするメモリトランジスタMT16のチャンネル電位はビット線110の電位である0Vに固定される。その状態で選択されたメモリトランジスタMT16の制御ゲートCGに書き込み電位 $V_{ppw}$ を印加する。すると、メモリトランジスタMT16のトンネル酸化膜に高電界が印加され、浮遊ゲートFGに電子が注入される。これにより、メモリトランジスタMT16に"0"が書き込まれる。この際、書き込み禁止のメモリトランジスタMT1~MT15の制御ゲートCGには、ビット線110の電位を書き込みをするメモリトランジスタMT16に供給できるだけの電位で、かつ、メモリトランジスタMT1~MT15に書き込みがされない程度の電位を与える。つまり、メモリトランジスタMT1~MT15の制御ゲートCGに、チャンネルがオン状態になる程度の電位を印加する。

【0013】上述した一括した消去を行った後に"1"書き込みを行う場合、図18に示すように、ビット線110の電位を電源電位 $V_{cc}$ 又は書き込み時のビット線電位 $V_{bitw}$ にし、選択トランジスタST1に電源電位 $V_{cc}$ 又は中間電位 $V_M$ を印加し、書き込み禁止のメモリトランジスタ(例えばMT1~MT15)に中間電位 $V_{pass}$ を印加し、選択トランジスタST2とソー

4

ス線112とウェルに0Vを印加する。

【0014】このような電位を各電極に与えると、選択トランジスタST1のソース側(メモリトランジスタMT1側)に電源電位 $V_{cc}$ —しきい値 $V_{th}$ が転送され、選択トランジスタST1自身がオフ状態となる。この状態では、選択トランジスタST1と選択トランジスタST2に挟まれたNAND型メモリセル120のチャンネルはフローティング状態になる。このフローティング状態で、メモリトランジスタMT16の制御ゲートCGに書き込み電位 $V_{ppw}$ を印加しても、浮遊ゲートFGには電子注入が起こらず、メモリトランジスタMT16は"1"の状態を維持する。

【0015】このようにメモリトランジスタMT16の"1"状態が維持される理由を、図17に基づいて詳しく説明する。すなわち、メモリトランジスタMT16においては、制御ゲートCGと浮遊ゲートFGとの間の第1容量 $C_{cg-fg}$ 、浮遊ゲートFGとチャンネルCHとの間の第2容量 $C_{fg-ch}$ 、及び、チャンネルCHと半導体基板100との間の第3容量 $C_{ch-sub}$ が、直列的に形成される。

【0016】メモリトランジスタMT16の制御ゲートCGに書き込み電位 $V_{ppw}$ を印加すると、このように直列的に形成されたキャパシタの容量結合によりチャンネル電位が上昇する。上昇したチャンネル電位によりトンネル酸化膜に印加される電界が充分小さければ(例えば6MV/cm以下)、メモリトランジスタMT16の浮遊ゲートFGには電子注入が起こらず、したがって、メモリトランジスタMT16の"1"状態を維持することができる。

【0017】メモリトランジスタMT1~MT16に"1"を書き込む場合、チャンネル電位の上昇は、図17で示した第1容量 $C_{cg-fg}$ と、第2容量 $C_{fg-ch}$ と、第3容量 $C_{ch-sub}$ との容量結合の比により変化する。したがって、第1容量 $C_{cg-fg}$ と、第2容量 $C_{fg-ch}$ と、第3容量 $C_{ch-sub}$ の設計が重要である。

【0018】

【発明が解決しようとする課題】上述したようなSelf-boost方式で動作するNAND型Flash EPROMにおいて、メモリトランジスタの微細化が進むと以下のような問題が生じる。すなわち、素子分離領域130の幅が縮小し、図19に示すように、1つのメモリトランジスタMT1Aと、このメモリトランジスタMT1Aに隣接するメモリトランジスタMT1B、MT1Cとの間における、4つの容量C1、C2、C3、C4の存在が無視できなくなってくる。

【0019】ここで、容量C1はメモリトランジスタMT1AのチャンネルとメモリトランジスタMT1Bのチャンネルとの間に生ずる容量である。容量C2はメモリトランジスタMT1AのチャンネルとメモリトランジスタMT

5

1Cのチャネルとの間に生ずる容量である。容量C3はメモリトランジスタMT1Aの浮遊ゲートFGとメモリトランジスタMT1Bのチャネルとの間に生ずる容量である。容量C4はメモリトランジスタMT1Aの浮遊ゲートFGとメモリトランジスタMT1Cのチャネルとの間に生ずる容量である。

【0020】このように、微細化が進んで容量C1～C4の存在が大きくなった場合において、メモリトランジスタMT1Aに”1”を書き込む場合の動作に着目する。メモリトランジスタMT1Aに”1”を書き込む際、このメモリトランジスタMT1Aと、素子分離領域130を挟んだ両側のメモリトランジスタMT1B、MT1Cとに、”1”書き込む場合には、メモリトランジスタMT1A、MT1B、MT1Cのチャネル電位はほぼ同一となる。このため、メモリトランジスタMT1Aに正しく”1”を書き込むことができる。

【0021】これに対し、両側のメモリトランジスタMT1B、MT1Cに”0”を書き込む場合には、両側のメモリトランジスタMT1B、MT1Cのチャネルは0Vになっているため、メモリトランジスタMT1Aは上述した容量C1～C4と容量結合してしまいチャネル電位が充分上がらなくなり、正しく”1”を書き込めなくなってしまう。つまり、浮遊ゲートFGに誤って電子が注入されてしまう場合が生ずる。このため、メモリトランジスタMT1Aに誤書き込みが生じてしまう。

【0022】そこで本発明は、メモリトランジスタに書き込みを行う際に誤書き込みの発生するのを抑制した不揮発性半導体記憶装置を提供することを目的とする。すなわち、素子分離領域を挟んだメモリトランジスタの干渉による誤書き込みの発生を抑制した不揮発性半導体記憶装置を提供することを目的とする。

【0023】

【課題を解決するための手段】上記課題を解決するため、本発明に係る不揮発性半導体記憶装置は、半導体基板と、シリコン酸化膜より比誘電率の小さい絶縁膜を少なくとも一部に用いて、前記半導体基板に形成された複数の素子分離領域と、前記素子分離領域に挟まれた半導体基板上に形成されたメモリトランジスタであって、電荷を蓄積するための浮遊ゲートと前記浮遊ゲート上に形成された制御ゲートとを有するメモリトランジスタと、を備えることを特徴とする。

【0024】前記不揮発性半導体記憶装置においては、前記素子分離領域を形成する前記絶縁膜の内部には空間が形成されており、前記絶縁膜は、この空間を形成することにより、シリコン酸化膜より比誘電率を小さくしてもよい。

【0025】前記不揮発性半導体記憶装置においては、前記素子分離領域を形成する前記絶縁膜は、シリコン酸化膜に不純物を添加することにより、シリコン酸化膜より比誘電率を小さくしてもよい。この場合、前記不純物は

6

フッ素にしてもよい。

【0026】本発明に係る不揮発性半導体記憶装置の製造方法によれば、半導体基板における素子分離領域を形成する予定領域に溝を形成する、溝形成工程と、前記溝の少なくとも一部にシリコン酸化膜より比誘電率の小さい絶縁膜を埋め込む、絶縁膜埋込工程と、前記素子分離領域に挟まれた半導体基板上に、電荷を蓄積するための浮遊ゲートと前記浮遊ゲート上に形成された制御ゲートとを有するメモリトランジスタを形成する、メモリトランジスタ形成工程と、を備えることを特徴とする。

【0027】前記絶縁膜埋込工程では、前記溝に埋め込む前記絶縁膜の内部に空間を形成し、この空間を形成することにより、前記絶縁膜の比誘電率をシリコン酸化膜より小さくしてもよい。

【0028】前記絶縁膜埋込工程では、不純物を添加したシリコン酸化膜を前記絶縁膜として前記溝に埋め込むことにより、前記絶縁膜の比誘電率をシリコン酸化膜より小さくしてもよい。この場合、前記不純物はフッ素でもよい。

【0029】

【発明の実施の形態】〔第1実施形態〕本発明の第1実施形態は、不揮発性半導体記憶装置の埋め込み素子分離領域を形成する絶縁膜にシリコン酸化膜よりも比誘電率の小さな絶縁膜を用いることにより、埋め込み素子分離領域を挟んだメモリトランジスタ間によるチャネル電位の干渉で誤書き込みが生じるのを抑制したものである。より詳しくを、以下に説明する。

【0030】まず、図1乃至図9に基づいて、本発明の第1実施形態に係る不揮発性半導体記憶装置の製造工程を説明する。これら図1乃至図9は、本実施形態に係る不揮発性半導体記憶装置の製造工程を示す工程断面図であり、ワード線と平行な断面を示す図である。以下では、不揮発性半導体記憶装置の一例としてNAND型Flash EEPROMに本発明を適用した場合を説明する。

【0031】図1に示すように、P型の半導体基板10上にメモリセルのトンネル酸化膜となるゲート酸化膜12を形成する。本実施形態では、このゲート酸化膜12は熱酸化により形成する。続いて、このゲート酸化膜12上に浮遊ゲートFG（図10参照）となる第1導電膜14を形成する。本実施形態では、この第1導電膜14はCVD（Chemical Vapor Deposition）により、リン等を添加したポリシリコンを堆積することにより形成する。次に、この第1導電膜14上に素子分離領域形成を形成する際にRIE（Reactive Ion Etching）に対するマスクとなるマスク膜16を形成する。本実施形態では、このマスク膜16はCVDによりSiNを堆積することにより形成する。

【0032】次に、図2に示すように、フォトリソグラフィによりフォトレジストをパターンニングして、半導

7

体基板10の能動領域を形成する部分をレジスト18でマスクする。

【0033】次に、図3に示すように、RIEを用いて、順次、マスク膜16、第1導電膜14、ゲート酸化膜12、半導体基板10を選択的にエッチングし、埋め込み素子分離領域となる溝20を形成する。この溝20は、ビット線方向に延びる溝である。この時すべての膜のエッチングを、レジスト18を用いて行う必要はない。すなわち、レジスト18でマスク膜16をエッチングした後は、このマスク膜16をマスクとして、第1導電膜14、ゲート酸化膜12、半導体基板10をエッチングすることが可能である。このエッチングにより、マスク膜16と、第1導電膜14と、ゲート酸化膜12とが、ビット線方向に分離される。

【0034】次に、図4に示すように、溝20の側壁に熱酸化膜(図示せず)を形成する。続いて、溝20に酸化膜22を埋め込む。本実施形態では、この酸化膜22はシリコン酸化膜であり、例えばHigh Density Plasma CVDを用いて形成する。この酸化膜22を形成する際には、不純物として例えばF(フッ素)を添加して酸化膜22を形成する。このように、酸化膜22に不純物を添加することにより、何の不純物も添加しないシリコン酸化膜よりも比誘電率が低くなる。つまり、酸化膜22の低誘電率を実現することが可能になる。

【0035】次に、図5に示すように、CMP (Chemical Mechanical Polish) を用いて埋め込んだ酸化膜22を平滑化する。このとき、マスク膜16がCMPのストッパーの役割を果たす。次に、図6に示すように、Hotリン酸を用いてマスク膜16を除去する。

【0036】次に、図7に示すように、ポリシリコンを成膜してパターンニングすることにより、浮遊ゲート用導電膜24を形成する。

【0037】次に、図8に示すように、この不揮発性半導体記憶装置上に絶縁膜26を形成する。本実施形態では、この絶縁膜26は、ONO (Oxide Nitride Oxide) 膜により形成する。

【0038】次に、図9に示すように、制御ゲートCGとなる第2導電膜28を形成する。本実施形態では、この第2導電膜28は、ポリシリコンあるいはWsilicide/poly-Siのようなポリサイド層により形成する。続いて、フォトリソグラフィによりフォトレジストをパターンニングし、制御ゲートCGとなる部分をレジストでマスクする。次に、このレジストを用いて、第2導電膜28、絶縁膜26、第1導電膜24を、順次、エッチングする。このエッチングにより、第2導電膜28、絶縁膜26、第1導電膜24が、ワード線方向に分離される。このため、第2導電膜28から制御ゲートCGが形成され、浮遊ゲート用導電膜24から浮遊ゲートFGが形成される。

【0039】次に、図10に示すように、後酸化膜を形

8

成した後、BPSSG等の層間絶縁膜30を埋め込み、平坦化する。続いて、層間絶縁膜30にコンタクト開孔(図示せず)を形成し、ビット線配線層32を形成する。

【0040】こうして得られたNAND型Flash EEPROMの書き込み禁止特性を、図11に示す。図11(a)は書き込み時間 $T_{pw}$ とメモリセルトランジスタのしきい値電圧 $V_{th}$ との関係を示す図である。図11(b)は本実施形態に係る不揮発性半導体記憶装置の等価回路を部分的に示す図である。

【0041】図11(b)に示すように、図11(a)のグラフは、メモリセルトランジスタ $Tr_1$ に"1"を書き込み、メモリセルトランジスタ $Tr_2$ 、 $Tr_3$ に"0"を書き込む場合の試験結果を示している。このため、メモリセルトランジスタ $Tr_1$ 、 $Tr_2$ 、 $Tr_3$ の制御ゲートCGには書き込み電位 $V_{ppw}$ が印加され、それ以外のメモリセルトランジスタの制御ゲートCGには中間電位 $V_{pass}$ が印加されている。また、ビット線BL1には電源電位 $V_{cc}$ が印加され、ビット線BL2、BL3には0Vが印加されている。

【0042】この図11(b)に示す条件で書き込み時間を変化させた試験結果が図11(a)である。このグラフにおいて、「×」は本実施形態に係る不揮発性半導体記憶装置の試験結果を示している。すなわち、本発明を適用した場合の図11(b)におけるメモリセルトランジスタ $Tr_1$ のしきい値電圧 $V_{th}$ を示している。

「△」は従来の不揮発性半導体記憶装置の試験結果を示している。すなわち、従来の図11(b)におけるメモリセルトランジスタ $Tr_1$ のしきい値電圧 $V_{th}$ を示している。

【0043】この図11(a)からわかるように、従来の不揮発性半導体記憶装置では、書き込み時間が長くなるにしたがってしきい値電圧 $V_{th}$ が上昇し、書き込み時間が100 $\mu s$ になるとしきい値電圧 $V_{th}$ が0Vを越えてしまう。本実施形態に係る不揮発性半導体記憶装置では、書き込み時間が長くなってもしきい値電圧 $V_{th}$ の上昇は極僅かであり、書き込み時間が100 $\mu s$ になってもしきい値電圧 $V_{th}$ は0V以下である。

【0044】上述したようにメモリセルトランジスタが"1"の状態とは、浮遊ゲートFGに電子が注入されてない状態であり、しきい値電圧が0V以下の状態である。したがって、従来の不揮発性半導体記憶装置においてメモリセルトランジスタ $Tr_1$ のしきい値が0Vを越えている状態は、誤書き込みが生じて"0"の状態になっていることにほかならない。

【0045】本実施形態に係る不揮発性半導体記憶装置では、メモリセルトランジスタ $Tr_1$ のしきい値電圧は0V以下であり、正しく"1"が書き込まれている。これは次のような理由による。すなわち、フッ素を添加した酸化膜22を埋め込み素子分離領域に用いることによ

り、素子分離領域の比誘電率が小さくなり、図 19 に示す容量 C1 ~ C4 が小さくなる。この容量 C1 ~ C4 が小さくなることにより、チャネル電位が上昇し、図 11 (b) におけるメモリセルトランジスタ Tr1 の制御ゲート CG に書き込み電位 VppW を印加していても電荷が浮遊ゲート FG に注入されないようにすることができる。このため、メモリセルトランジスタ Tr1 を "1" の状態、つまり、浮遊ゲート FG に電荷が注入されていない状態を維持することができる。これにより、誤書き込みが抑制される。

【0046】 以上のように、本実施形態に係る不揮発性半導体記憶装置によれば、溝 20 に埋め込む絶縁膜として、シリコン酸化膜より比誘電率の小さい酸化膜 22 を用いたので、図 19 に示した 4 つの容量 C1 ~ C4 を可及的に小さくすることができる。このため、不揮発性半導体記憶装置の微細化を進めて素子分離領域（酸化膜 22）の幅が縮小した場合でも、メモリトランジスタに誤書き込みが生じるのを抑制することができる。すなわち、メモリトランジスタに "1" を書き込む場合に、図 19 における容量 C1 ~ C4 の容量結合によりチャネル電位が上がらなくなり、浮遊ゲート FG に誤って電子が注入されてしまうのを抑制することができる。

【0047】 【第 2 実施形態】 本発明の第 2 実施形態は、埋め込み素子分離領域を形成する絶縁膜に空間を形成することにより、この絶縁膜の比誘電率を空間のない絶縁膜よりも小さくしたものである。より詳しくを以下に説明する。

【0048】 図 12 は、第 2 実施形態に係る不揮発性半導体記憶装置の製造工程の一部を示す断面図であり、上述した第 1 実施形態における図 4 に相当する図である。図 13 は、第 2 実施形態に係る不揮発性半導体記憶装置の断面図であり、上述した第 1 実施形態における図 10 に相当する図である。

【0049】 図 12 に示す不揮発性半導体記憶装置に至るまでの工程は、上述した第 1 実施形態と同様であるのでその詳しい説明は省略する。そして、この図 12 に示すように、半導体基板 10 の溝 20 に、絶縁膜として酸化膜 40 を埋め込む際に、酸化膜 40 に空間 42 を形成する。すなわち、素子分離領域内に空間 42 を形成する。本実施形態では、この酸化膜 40 は例えば High Density Plasma CVD を用いて形成する。この酸化膜 40 を形成する際には、不純物として例えば F（フッ素）を添加して酸化膜 40 を形成してもよいし、何の不純物を添加しないで酸化膜 40 を形成してもよい。その後、上述した第 1 実施形態と同様の製造工程により、図 13 に示す不揮発性半導体記憶装置が得られる。

【0050】 以上のように、本実施形態に係る不揮発性半導体記憶装置によれば、素子分離領域を形成する酸化膜 40 に空間 42 を形成したので、酸化膜 40 の比誘電率を小さくすることができる。すなわち、酸化膜 40 に

おける空間 42 の比誘電率はほぼ 1 となるので、空間 42 の形成されていない酸化膜 40 と比べて比誘電率を小さくすることができる。

【0051】 しかも、酸化膜 40 にフッ素等を添加することにより、より一層、酸化膜 40 の比誘電率を小さくすることができる。

【0052】 以上、本発明につき詳細に説明したが、本発明は上記実施形態のみに限らず、本発明の主旨を逸脱しない限り様々な応用が可能である。例えば、上記実施形態では半導体基板 10 の溝 20 に酸化膜 22、40 を埋め込む際に、High Density Plasma CVD を用いているが、例えば 3-TEOS CVD のような方法で埋め込んでいても良い。また、上記実施形態では各種の膜厚あるいは深さを規定していないが、メモリトランジスタを動作させることの出来る範囲で任意に設定できる。

【0053】 また、上記実施形態においては、酸化膜 22、40 に不純物として F（フッ素）を添加することとしたが、これに限定されるものではなく、酸化膜 22、40 に取り込むことで比誘電率を小さくできるものであればよい。

【0054】

【発明の効果】 以上説明したように、本発明の不揮発性半導体記憶装置によれば、シリコン酸化膜よりも比誘電率の小さい絶縁膜を用いて素子分離領域を形成したので、メモリトランジスタに誤書き込みが生ずるのを抑制することができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 実施形態に係る不揮発性半導体記憶装置の製造過程の一部を示す図（ワード線方向断面図）。

【図 2】 本発明の第 1 実施形態に係る不揮発性半導体記憶装置の製造過程の一部を示す図（ワード線方向断面図）。

【図 3】 本発明の第 1 実施形態に係る不揮発性半導体記憶装置の製造過程の一部を示す図（ワード線方向断面図）。

【図 4】 本発明の第 1 実施形態に係る不揮発性半導体記憶装置の製造過程の一部を示す図（ワード線方向断面図）。

【図 5】 本発明の第 1 実施形態に係る不揮発性半導体記憶装置の製造過程の一部を示す図（ワード線方向断面図）。

【図 6】 本発明の第 1 実施形態に係る不揮発性半導体記憶装置の製造過程の一部を示す図（ワード線方向断面図）。

【図 7】 本発明の第 1 実施形態に係る不揮発性半導体記憶装置の製造過程の一部を示す図（ワード線方向断面図）。

【図 8】 本発明の第 1 実施形態に係る不揮発性半導体記憶装置の製造過程の一部を示す図（ワード線方向断面図）。



11

図)。

【図 9】本発明の第 1 実施形態に係る不揮発性半導体記憶装置の製造過程の一部を示す図（ワード線方向断面図）。

【図 10】本発明の第 1 実施形態に係る不揮発性半導体記憶装置を示す図（ワード線方向断面図）。

【図 11】(a) は図 10 に示す不揮発性半導体記憶装置の書き込み禁止特性の試験結果のグラフを示す図、

(b) は試験条件を説明するための不揮発性半導体記憶装置の部分的な等価回路を示す図。

【図 12】本発明の第 2 実施形態に係る不揮発性半導体記憶装置の製造過程の一部を示す図（ワード線方向断面図）。

【図 13】本発明の第 2 実施形態に係る不揮発性半導体記憶装置を示す図（ワード線方向断面図）。

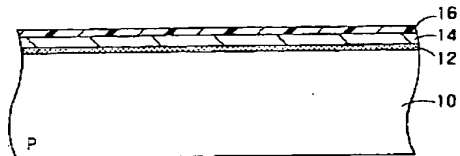
【図 14】従来の不揮発性半導体記憶装置を示す図（ビット線方向断面図）。

【図 15】従来の不揮発性半導体記憶装置を示す図（ワード線方向断面図）。

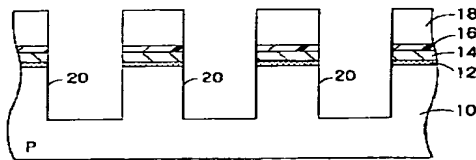
【図 16】図 14 に示す不揮発性半導体記憶装置の等価回路を示す図。

【図 17】メモリトランジスタ部分に生ずる容量を示す\*

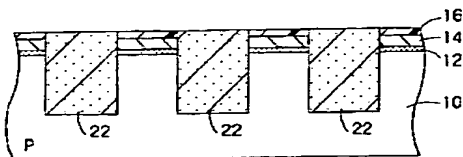
【図 1】



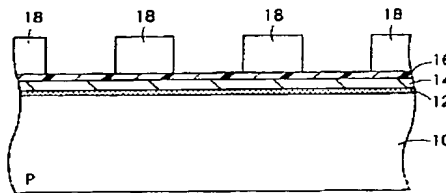
【図 3】



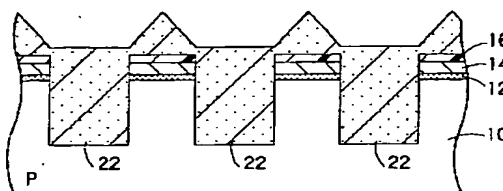
【図 5】



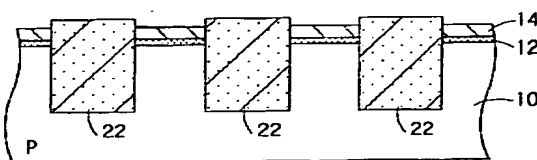
【図 2】



【図 4】



【図 6】



\*図。

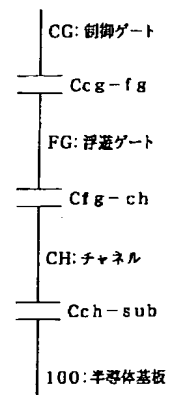
【図 18】図 14 及び図 15 に示した不揮発性半導体記憶装置における各動作時の印加バイアスを表にして示す図。

【図 19】あるメモリトランジスタのチャネルと隣接するメモリトランジスタのチャネルとの間に生ずる容量と、あるメモリトランジスタの浮遊ゲートと隣接するメモリトランジスタのチャネルとの間に生ずる容量とを説明するための図。

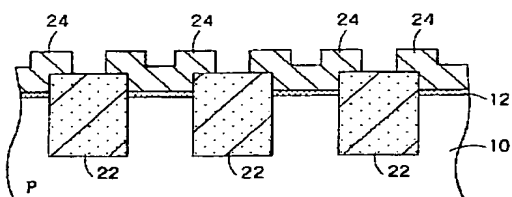
【符号の説明】

- 10 半導体基板
- 12 ゲート酸化膜
- 14 第 1 導電膜
- 16 マスク膜
- 18 レジスト
- 20 溝
- 22 酸化膜
- 24 浮遊ゲート用導電膜
- 26 絶縁膜
- 28 第 2 導電膜
- 30 層間絶縁膜
- 32 ビット線配線層

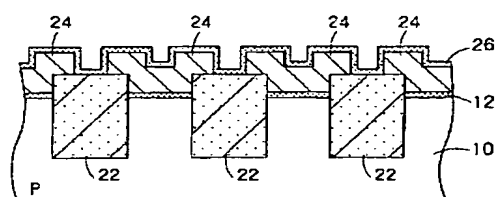
【図 17】



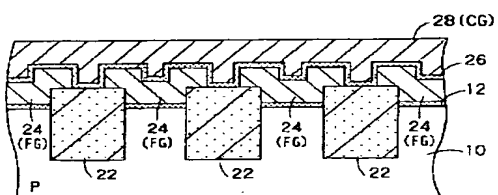
【図 7】



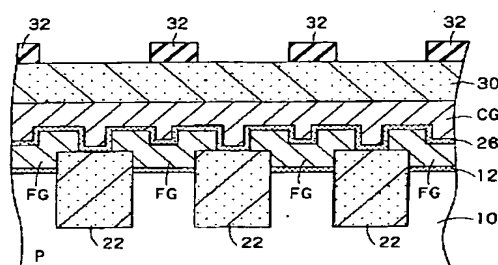
【図 8】



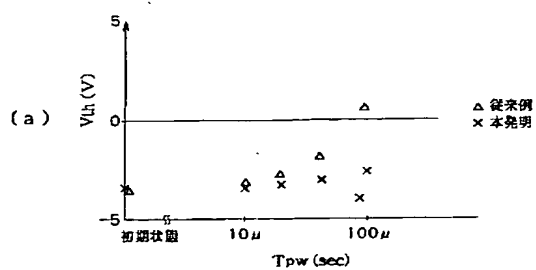
【図 9】



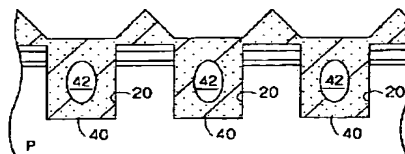
【図 10】



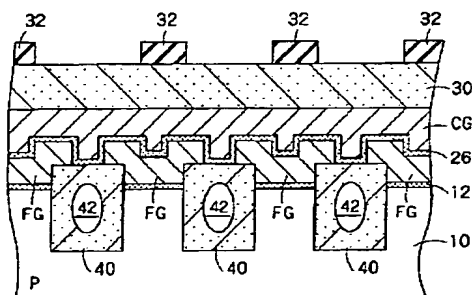
【図 11】



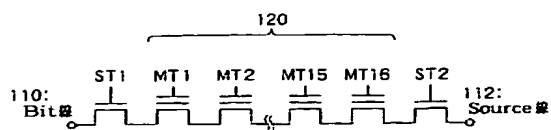
【図 12】



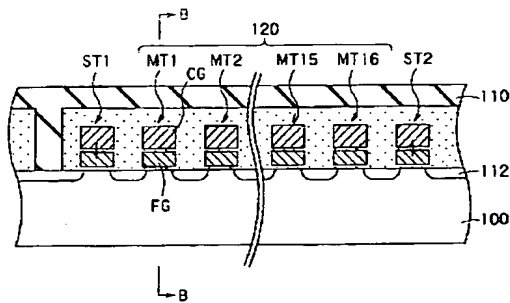
【図 13】



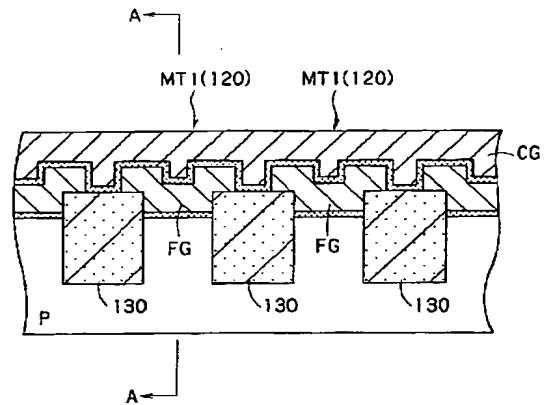
【図 16】



【図14】



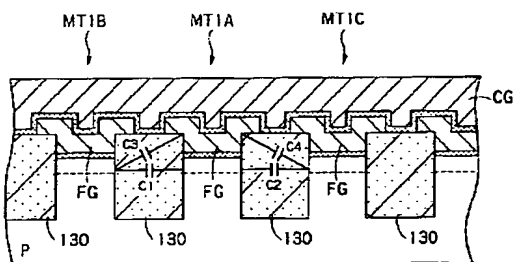
【図15】



【図18】

|      | ビット線          | 選択<br>トランジスタST1 | 書き込み禁止<br>メモリトランジスタ | 書き込み<br>メモリトランジスタ | 選択<br>トランジスタST2 | Source線       | Well        |
|------|---------------|-----------------|---------------------|-------------------|-----------------|---------------|-------------|
| 消去   | open/<br>VppE | open/<br>VppE   | open/<br>OV         | open/<br>OV       | open/<br>VppE   | open/<br>VppE | VppE        |
| 書き込み | "0"           | OV              | Vcc/VM              | Vpass             | VppW            | OV            | OV/<br>Vsub |
|      | "1"           | Vcc/<br>VbitW   | Vcc/VM              | Vpass             | VppW            | OV            | OV/<br>Vsub |
| 読み出し | VbitR         | Vcc             | Vcc/Vread           | OV                | Vcc             | OV            | OV          |

【図19】



フロントページの続き

Fターム(参考) 5F001 AA25 AB08 AC02 AD12 AD41  
 AD51 AD52 AD53 AD60 AE02  
 AE08 AF06 AF10 AG21  
 5F083 EP23 EP27 EP55 EP76 ER03  
 ER09 ER14 ER19 ER22 GA15  
 GA30 JA04 JA35 JA39 JA53  
 NA01